電子回路論 第 14 回

勝本信吾
東京大学理学部・理学系研究科 (物性研究所)

2015 年 1 月 19 日

前回のサマリー

信号測定　標本化定理
標本化信号　離散フーリエ変換，z 変換，離散化伝達関数
ディジタル信号・回路　論理ゲート．組み合わせ回路，順序回路

6.4　論理演算の回路化と簡単化

アナログ回路が力学系など，物理系の表現と見ることができたのに対し，ディジタル演算回路は，論理式の具体的表現と見ることができる．従って，論理式が演算を代数的に行うことで簡単化されれば，回路を簡単化することになる．その代表的方法を説明する．また，順序回路は「状態」概念が入ってくるため，これに対応する論理式側の取り扱い概念が必要となる．その 1 つ (ツール) であるダイアグラムを紹介する．

6.4.1　カルノー図

A，B を論理値として論理式

$$Y = A \cdot B + A \cdot \overline{B} + \overline{A} \cdot B \tag{6.1}$$

を考える．$\cdot$ は and，$+$ は or を表す．論理値においては，$A + A = A$ であったことから，右辺に $A \cdot B$ を加えて変形すると

$$\begin{aligned} Y &= A \cdot B + A \cdot B + A \cdot \overline{B} + \overline{A} \cdot B \\ &= A \cdot (B + \overline{B}) + B \cdot (A + \overline{A}) = A + B \end{aligned} \tag{6.2}$$

となり，単なる or 演算であったことがわかる．$A \cdot B$ を加えるような論理演算は式だけでは思いつきにくく，真理値表を睨むなどの非機械的手法がむしろ有効である．これを比較的機械的に行う手法が**カルノー図** (Karnaugh map) の手法である．

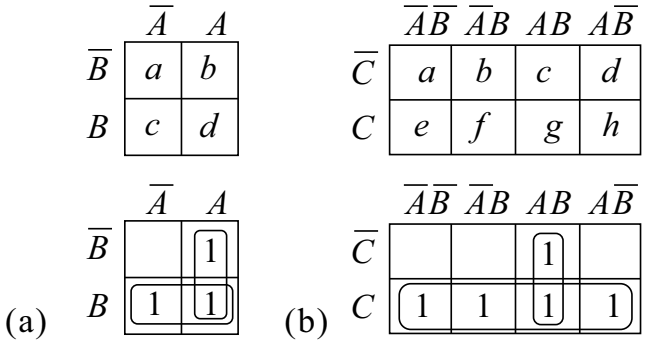


図 6.11　カルノー図の例．(a) 2 論理変数に対するカルノー図．下は or 論理演算の場合．(b) 3 論理変数に対するカルノー図．下は，$\overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot B \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$ の場合．

カルノー図とは，ある論理式に対し図 6.11 のようにそれを構成する論理変数のすべての場合を 2 次元に並べて書いたものである．マスの中には出力が 1 (T) となる場合のところに 1 を入れるようにする．3 変数の場合，2 変数ずつをまとめて書くと図 6.11(b) のように 2 次元にしておくことができる．この時，隣のコラムを作る際に 2 変数同時に否定を取ることはせず，1 つづつ取って場合を潰すことが必要である．このように論理変数の数が増加すると次第に図が描きにくくなる．

式 (6.1) の場合をカルノー図に描くと図 6.11(a) の下の図になる．隣接する「1」を$\boxed{}$で括ると，2 つの括りができることがわかる．すなわち，このカルノー図が表す論理式は，この 2 つの「括り」が表す論理式の or を取ったものである．

$$Y = A \cdot \overline{B} + A \cdot B + \overline{A} \cdot B + A \cdot B = A + B \tag{6.3}$$

と，当然 (6.2) の結果が得られる．図 6.11(b) の下の図は

$$Y = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot B \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C} + A \cdot B \cdot C = A \cdot B + C \tag{6.4}$$

である．

以上見てわかるように，カルノー図による簡単化の原理は

$$A \cdot B + A \cdot \overline{B} = A \tag{6.5}$$

という簡単なものであるが，図 6.11 のように 2 次元に並べて隣接する 1 を括ることでこのようにして消せるペアを組織的に見つけられる，というところが利点である．なお，「隣接する 1」を探す際，行や列の端同士は隣接している，と見なければならないので注意が必要である．例えば，図 6.11(b) の上の図で a と d や e と h は隣接している．

6.4.2 クワイン・マクラスキー法

この簡単化を更に機械的手続きにすることを考える．このためには，最初に与えられた論理式の形は，簡単化を標準化するためにはむしろ障害になることが多く，カルノー図のように一旦真理値表で表してしまい，そこから一定の標準的手続きにより論理式に戻すことにする．

論理式 $Y = f(A_1, A_2, \cdots, A_n)$ を考える．真理値 0，1 に対して，各論理変数を与える関数 g_i を

$$g_i(0) = \overline{A}_i, \qquad g_i(1) = A_i \tag{6.6}$$

と定義する．各変数またはその否定をすべて 1 つずつ含む論理式 (項) を**標準項** (canonical term) という．うち，論理和 + を区切りとして分解される「項」の数が最も少ないものを最小項と呼ぶが，最小項は当然項数 1 個であるから，結局最小項とは，$\prod_{i=1}^{n} g_i(a_i)$ で表される．$a_i = 0$ または 1 で，$\prod$ は論理積を表す．Y を真理値表で表す時，ある 1 行の入力項は 0 または 1 の n 個の真理値列であるから，これを $\{a_i\}$ と見ると，真理値表の各行に 1 個の最小項が対応することがわかる．そこで，$Y = 1$ を与える $\{a_i\}$ をすべてリストアップして指数 j を付け，行列の形で $\{a_{ij}\}$ と表すと，Y の論理式としてこれらで指定される最小項をすべて論理加算したもの

$$Y = \sum_j \prod_{i=1}^{n} g_i(a_{ij}) \tag{6.7}$$

を考えることができる．このように最小項の論理和での論理値の表現を**主加法標準展開** (principal disjunctive canonical expansion) と呼ぶ．

主加法標準展開から (6.5) を使い冗長項を圧縮していく．この時，最小項を作るために考えた $\{a_i\}$ を並べたものを 2 進数として取り扱う方法を特にクワイン・マクラスキー法 (Quine-McCluskey algorithm) と呼んでいる．これら最小項を表す 2 進数を，その中に出てくる「1」の個数で分類する．2 進数表示での (6.5) は，0 と 1 とを取るある桁以外は同じ 2 進数の間でこの桁を消去する式であるから，圧縮はこの分類で 1 つだけ異なるグループ間で行われる．消去した桁は_(アンダースコア) として並べることで第 1 次圧縮リストができる．再度 1 の個数で分類，圧縮を可能な限り繰り返す．

こうして簡単化された論理式について，各項 (「主項」と呼ぶ) を行指数とし，元の主加法標準展開に含まれる最小項を列指数とする (反対でも良い) 表 (主項図) を作る．最小項の中に何らかの形で主項が含まれている欄に印をつける (○とする)．例えば，主項が __11 であれば，0011，0111，1011，1111 の 4 つがそれに当たる．論理的には「これらの最小項を主項が包含する」ことになる．この表をまず縦に見て，○が 1 回だけ現れる最小項の○を◎に変更する．次に横に見て，◎がついた主項 (必須項) の行に◎になっていない○があればこれをすべて◎に変更する．最後に○しか付いていない主項が省略候補である．すべての最小項をカバーするように必要な主項があれば残し，後を省略することで簡単化が終了する．

6.4.3 状態遷移図

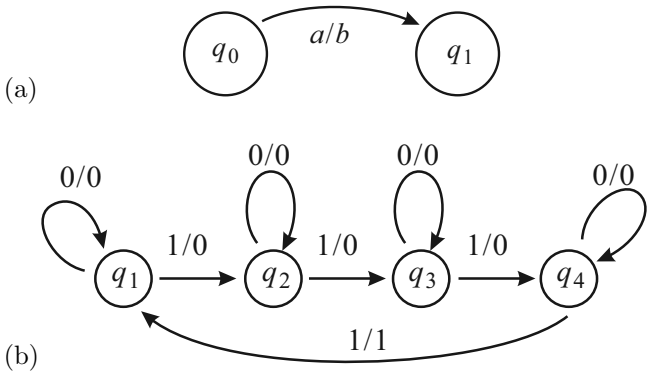


図 6.12　状態遷移図．(a) 概念図．(b) 4 進カウンタ．

順序回路を設計する際に，ダイアグラムとして助けになるのが**状態遷移図** (state transition diagram) である．これは図 6.12(a) のように，入力 a に対して回路の状態が q_0 から q_1 へと遷移し，b が出力されるということを表している．

これを使って，6.2.4 節で見たカウンタ回路の設計手順を追ってみる．簡単のため，2 ビット (4 進) カウンタとする．カウント入力が入る度に状態が変化し，初期状態から 4 つ目のカウント入力で 1 を出力して初期状態に戻るから，状態は全部で $q_1, \cdots, q_4$ の 4 つである．図 6.12(b) のようにこの 4 つの状態を並べて書き，入力 $x = 0$ の場合は状態が変化せず出力も 0 なので，0/0 でループを描いて元の状態に戻り，1 に対しては状態が 1 シフトし，$q_4 \to q_1$ の初期値に戻るときのみ 1 が出力されるので 1/1，それ以外は 1/0 となる，ということで，図 6.12(b) のような状態遷移図が描かれる．

2 ビットであるから T-FF を 2 個使用して実現することにする．これら 2 個の出力を，状態 q_n に対してそれぞれ，$Q_n^{(1)}$，$Q_n^{(2)}$ と書く．n は 4 進で回る，すなわち $4 + 1 = 1$ とする．状態遷移表をカルノー図の形にするため，$Q_{n+1}^{(1)}$ と $Q_{n+1}^{(2)}$ とに分けて描くと次のようになる．ただし，最初にビットが上がる方を (2) の T-FF としている．($Q_{n+1}^{(i)}$ を決めるための論理変数が，x，$Q_n^{(1)}$，$Q_n^{(2)}$ の 3 つ存在するため，図 6.11(b) を縦にした図になっている．

		$Q_{n+1}^{(1)}$	
		x	
$Q_n^{(1)}$	$Q_n^{(2)}$	0	1
0	0		
0	1		1
1	1	1	
1	0	1	1

		$Q_{n+1}^{(2)}$	
		x	
$Q_n^{(1)}$	$Q_n^{(2)}$	0	1
0	0		1
0	1	1	
1	1	1	
1	0		1

カルノー図であるから，□で隣接する 1 を囲い，簡単化により次のような漸化式を得る．

$$Q_{n+1}^{(1)} = \overline{x} \cdot Q_n^{(1)} + Q_n^{(1)} \cdot \overline{Q}_n^{(2)} + x \cdot \overline{Q}_n^{(1)} Q_n^{(2)}, \tag{6.8a}$$

$$Q_{n+1}^{(2)} = \overline{x} \cdot Q_n^{(2)} + x \cdot \overline{Q}_n^{(2)}. \tag{6.8b}$$

また，一般に FF については，入力 x で表される論理式 α，β を用いて

$$Q_{n+1} = \alpha Q_n + \beta \overline{Q}_n \tag{6.9}$$

という，**特性方程式** (characteristic equation) と呼ばれる式が成立する．実際，図 6.5(b) の T-FF の真理値表から，$\alpha = \overline{T}$，$\beta = T$ として，(6.9) が成り立っていることがわかる．T-FF の (1)，(2) に対応して $\alpha_{1,2}$，$\beta_{1,2}$ と添字をつ

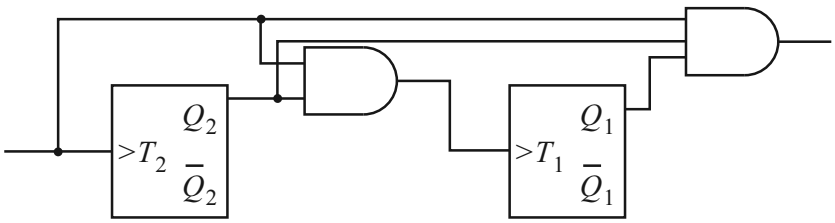


図 6.13　設計した 4 進 (2 ビット) カウンタ

けると，(6.8a)，(6.8b) より，

$$\alpha_1 = \overline{x} + \overline{Q}_n^{(2)} = \overline{x \cdot Q_n^{(2)}}, \qquad \beta_1 = x \cdot Q_n^{(2)}, \tag{6.10a}$$

$$\alpha_2 = \overline{x}, \qquad \beta_2 = x \tag{6.10b}$$

である．以上から，図 6.13 の回路図がほぼ自動的に描かれる．

6.5　A-D/D-A コンバータ

アナログ信号をディジタル信号に変換する，あるいはその逆の動作をする回路は，物理実験では極めて重要である．D-A/A-D 変換回路技術は，音響・映像技術にディジタル技術が入り込んで以来飛躍的に発展した．素子性能の向上による性能向上ばかりでなく，信号形式，回路方式の改革によって古い電子回路の教科書はみな書き換えなければならないほどの進歩が積み重ねらている．ただし，A-D/D-A 技術に関しては，CCD 技術，画素式ディスプレイの発達によりまず映像系からアナログ回路がほとんどなくなり，音響においても D 級アンプやスピーカーのデジタル駆動によりアナログ回路はディジタルのカプセルの向うの存在となりつつあることから，今後はこれまでのような急速な進展はないかもしれない．

「変換回路」と言っても，一方 (アナログ) が物理量であるのに対して他方 (ディジタル) は，人間がこれを記述するために考えた記号であるから，「変換」のためには極めて様々なアイデアが存在しうる．これらは，変換形式に従い，外部クロックが必要になるなどの若干の使用法の違いはあるものの，A-D コンバータ (ADC)，D-A コンバータ (DAC) として LSI 化されてカプセル的に使用することが可能で，内部形式を知らなくても使えてしまう．それでも，どのようにして変換しているのか知っておくことは，電子回路の応用例としても悪くはない．代表的な回路形式を紹介しておこう．

6.5.1　ディジタル-アナログ変換

まず，ディジタルからアナログへの変換を考えよう．

抵抗ストリング型，ラダー型

抵抗ネットワークを使用するものの内，図 6.14(a) に示した抵抗ストリング型は，余り現実性はないが，コンセプトとしては最も単純なものである．n ビットのデジタルデータは 2^n の分解能を持っている．そこで，回路は標準電圧 V_S を持っているとし，これを，2^n 個の同一抵抗値 R を持つ抵抗を直列につないだ回路に印可する (他端はグラウンド)．グラウンドから順番に抵抗に $1,\cdots,2^n$ の番号を付けると，i 番目と $i+1$ 番目の抵抗の間の配線部の電位は，$i \times V_\mathrm{S}/2^n$ となり，出力へは図のように，MOS スイッチを用いて接続する．受電部の入力インピダンスを十分高くし，バイアス電流を抵抗ストリングに流す電流に比べて十分に低く取ることで $i \times V_\mathrm{S}/2^n$ をそのまま出力できる．

この方法は現実問題として，8 ビットでも 256 個の高精度抵抗と MOS スイッチを結線する必要があり，デコーダーも同じだけの数の出力を要するなど，使いにくいものである．

これに対して実際にもよく使用されるのが図 6.14(b) の抵抗ラダー型 DA 変換である．$n-1$ 個の抵抗値 R の抵抗と $n+2$ 個の値 $2R$ の抵抗を用意し，n ビットの入力ラインを図のように相反性 MOS スイッチのゲートに接続し，$2R$ の抵抗を介して R の抵抗を直列にした各端点に接続する．最低ビットラインの端点は $2R$ で接地し，他端はやはり $2R$ でこちらは OP アンプの反転増幅器の $-$ 入力への入力抵抗として使用する．

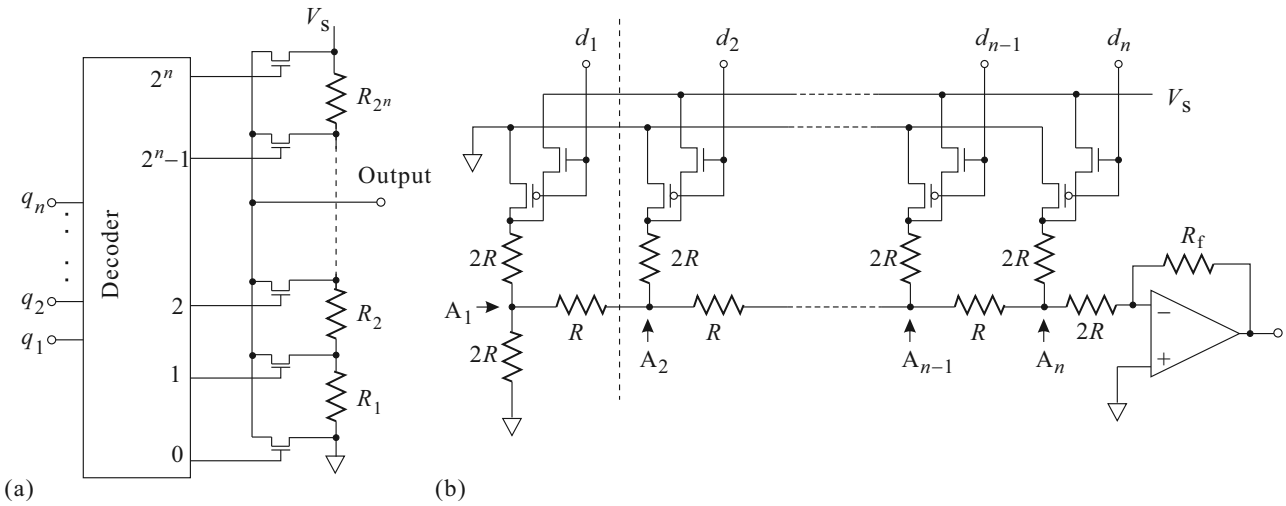


図 6.14　抵抗ネットワークを用いた D-A コンバータの等価回路図．(a) 抵抗ストリング型．(b) 抵抗ラダー型．FET スイッチは，ゲートに○がついていないものが n チャネルで H 入力に対して ON，反転記号である○が付いているものが p チャネルで H 入力に対して OFF となる．

OP アンプの項で学んだように，− 入力端子は仮想接地されているので，ここでは右端の $2R$ もやはり接地されているものとして A_n 点の電位を考える．今，k ビット目が 1(H) で他はすべて 0(L) が入力されたとする．A_n 点から右および上方の接地側を見ると $2R$ の抵抗が 2 個並列になっており，合成抵抗 R で接地されている．従ってその左の A_{n-1} 点から右方向の A_n 点を通る経路の接地までの合成抵抗はやはり $2R$ で A_n 点と状況が全く同じであることがわかる．これが，A_{k+1} 点まで続く．A_{k-1} 点より左側を見ても，全く同じ状況である．従って A_k 点は，左右に $2R$ で接地され，V_S より $2R$ を通して接続されていることがわかる．結局流れる全電流は $V_\mathrm{S}/3R$，片方の分岐に流れるのはその 1/2 である．以下，分岐ごとに 1/2 になるので，最終的に OP アンプ方向へ流れ出す電流は

$$J_\mathrm{out}(\underset{n}{0\cdots0}\ \ \underset{k}{1}\ \ \underset{1}{0\cdots0}) = \frac{V_\mathrm{S}}{3R}\left(\frac{1}{2}\right)^{n-k+1} = \frac{V_\mathrm{S}}{6\cdot 2^n R}2^k$$

となる．J_out の引数は，入力を 2 進数で表したものになっている．従って，入力 $\{d_i\}$ ($d_i = 0$ or 1, $i = 1, \cdots, n$) があった時の OP アンプ出力は，重ね合わせの定理 (2.8 節) を用いて，

$$V_\mathrm{out}(\{d_i\}) = -\frac{1}{3\cdot 2^n}\frac{R_\mathrm{f}}{2R}V_\mathrm{S}\sum_{k=1}^{n}2^k d_k \tag{6.11}$$

となって，AD 変換がされている事がわかる．ストリング型に比べて必要抵抗は圧倒的に少なく，デコーダなども必要としない．実際多用される形式である．

この他，受動素子ネットワークを用いるものとしては，容量アレイ型などがある．

電流加算型

原理的にはたいへん簡単な変換法であり，レポート問題として考えてもらう予定．

容量アレイ型

これも簡単なので，レポート問題として考えてもらう予定である．

パルス幅変調型

パルス幅変調 (pulse width modulation, PWM) は，どちらかと言うとアナログ信号を PWM 信号にしてパワートランジスタをスイッチす

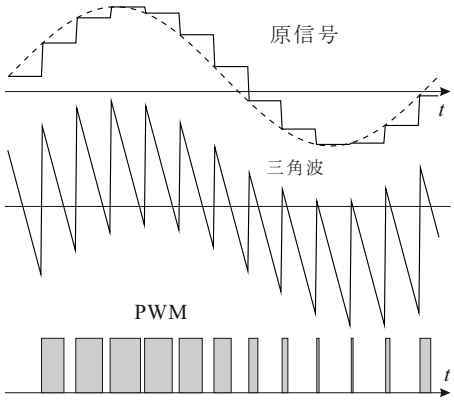


図 6.15　パルス幅変調法の一例．

ることで電力増幅し，ローパスフィルターでアナログ信号に戻す，アナログ電力増幅に用いることが多い．が，無論，速くて正確なクロック信号とカウンタを用いてディジタル的に PWM 信号を作り出すことができ，これをローパスフィルターに通すことで DA 変換ができる．

原理は以上で終了，という位簡単明瞭である．PWM 信号を作り出す方法の一例を図 6.15 に示した．クロックに同期したのこぎり三角波を作り出し，原信号でベースラインを

6.5.2 アナログ-ディジタル変換

逐次比較型

この方式では標本回路 (sample and hold circuit) により入力電圧を固定しておき (これは，他の多くの方式でも用いられる)，DA 変換によって既知電圧を作り出し，これとホールドした電圧とが一致するかどうかを調べることでディジタルデータに変換する．様々な意味での「既知電圧」を次々とホールド電圧と比較することから**逐次比較** (successive approximation) 型と呼ばれている．

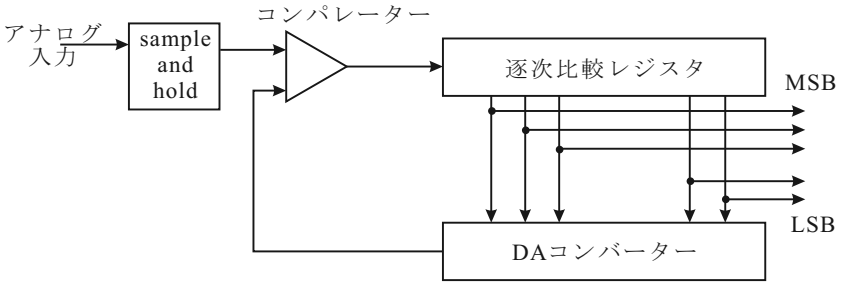
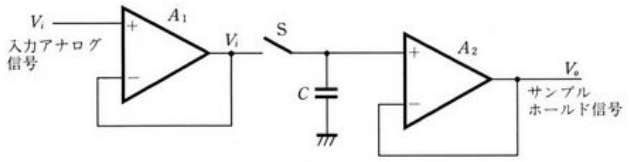


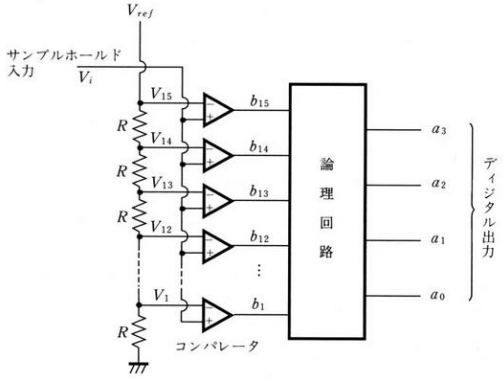
図 6.16　逐次比較型 AD コンバーターのブロックダイアグラム



サンプルアンドホールド回路 (AD 変換回路ではトラックアンドホールドと呼ばれることもある) にも多くの形式があるが，左図に挙げるものが最も簡単である．信号によってキャパシタにチャージし，これを OP アンプにより孤立状態にして維持する．新しくサンプルする際には，放電するのが一般的であるが，信号時間変化が緩やかでかつ低出力抵抗である場合は，帯電状態で接続することも考えられる．

2 進数に変換することから，逐次比較は高いビットから，数値計算でいう 2 分法によって行うのが一般的である．最初に最高ビットのみを立てた参照電圧を DAC により用意し，コンパレーターで比較する．コンパレーターもまた，OP アンプを開ループ (可能な限り大きな開ループゲインを持たせる) で使用するのが精度的に有利である．参照電圧がサンプルより大きければ 0，小さければ 1 が立つ．このディジタル信号の次のビットを立てたものを DAC に入れて次の参照電圧を作る．以下最終ビットまで繰り返すことでディジタル変換が完了する．

フラッシュ型



逐次比較型は 1 ビットごとに変換していくので変換回路は 1 回路で済むが，多ビットの AD 変換を行う場合にはビット分だけのサイクルを繰り返す必要があり時間がかかるようになる．これに対して，多数のコンパレーターを並べて一気に AD 変換を行おうというのがフラッシュ型 ADC である．左図のように，抵抗ストリング型 DAC のちょうど逆のような形式である．

パイプライン型

フラッシュ型は逐次比較型に比べて圧倒的な速度を持っているが，当然ながら分解能分の分割抵抗とコンパレーターという消費リソースも巨大となる．また，精度限界はコンパレーターの開ループゲイン A で決まることが多い．例えば，A が 100dB だと

すると，入力 10μV で出力は 1V になり，ディジタル回路が TTL レベルで動作しているとすると，しきい値電圧 $V_{\rm th}$ には到達しない．さりとて，アナログアンプで例えば 10 倍に増幅して入力しようとすると，アンプの出力，あるいはコンパレーターの入力の飽和値によってアナログ電圧の大きさが制限されてしまう．

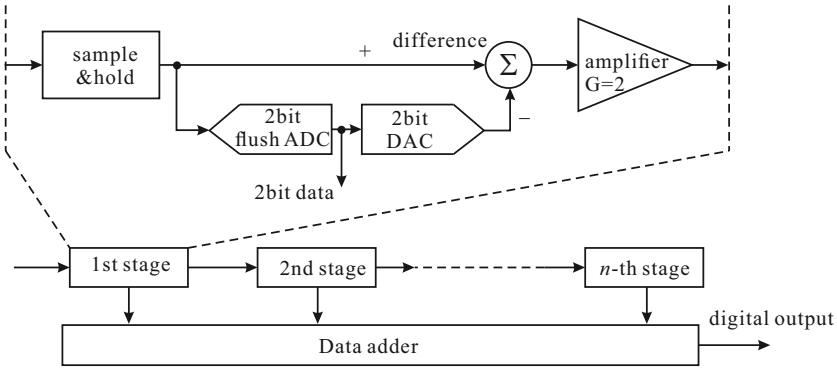


図 6.17　2 ビット単位パイプライン型 ADC のブロック図

このような欠点を，速度を若干犠牲にしながらカバーする方式が幾つか使われており，パイプライン型はその 1 つである．図 6.17 はそのブロック図 (後述) で，数ビットをまとめてフラッシュ型で AD 変換し，残った信号を増幅器で増幅しながら次のサイクルを行うようになっている．フラッシュ型と逐次比較型の間の子のような形式である．

積分型

逆に時間はかかるができるだけ少ない部品リソースで A D変換を行おうというのが積分型 ADC で，積分回路に定電流を流して時間に対してリニアに増加する電圧を作り出し，入力電圧とコンパレーターで比較する．増加電圧が下端からスタートする際にディジタルカウンターをスタートし，増加電圧が入力電圧をクロスしてコンパレーターが ON になった時点でストップする．カウンター出力により AD 変換ができる．積分回路とコンパレーターの OP アンプと積分用のキャパシタで精度がほぼ決まり (カウンターの桁数を出すのは比較的容易)，安価に AD 変換を構成できるため，パネルメーター (機器の表面に沢山はめ込んで，様々なパラメーターをモニターできるようにするもの) などに良く使用されている．

デルタシグマ型

オーバーサンプリング型 と呼ばれる ADC の代表的な形式である．1 ビット (従ってコンパレーター 1 個のみ) の超低分解能 ACD を用いフィードバックを使ったデルタシグマ変換により高精度ディジタル信号に変換する．詳細は後述.

6.5.3　情報の符号化

「ディジタル信号序論」で述べたように，パルス振幅変調 PAM でパルス高を離散化すれば，ディジタル信号になる，ということを述べたが，それをそのまま変調の形にしたのが**パルス符号変調** (pulse code modulation, PCM) である．PCM データは，クロックに合わせて何ビットかのデータを伝送するもので，少ない伝送チャネルで送る場合は，時系列信号にしてシリアル伝送する．復調する必要がある場合は，パラレルデータに変えて DAC によりアナログ信号にする．

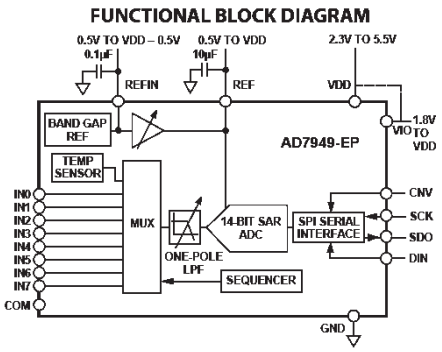
この直接的な PCM 法に対して，様々な変形がある．ディジタル信号は符号化されたものであるため，急激な信号値変化もデータ上は表現できるが，アナログ信号は，特にそれに含まれている周波数成分の上限で表現できるよりも大きな変化は生じない．そこで，値そのものではなく前の信号値との差分を抽出して伝送することも考えられる．これを差分 PCM (differential PCM, DPCM) 方式と呼び，予測符号化方式の一種である．DPCM は一般に PCM より小さなビットレートで同精度の信号を伝送することができる．「予測」という文字がついているのは，実際には単なる差分ではなく，最も単純な前値予測方式であっても予測係数がついて，受信データ $\{x_i\}$ に対する予測値は $x'_i = ax_{i-1}$ で与えられ，送付データは差分 $\epsilon_i = x_i - ax'_i$ である．

また，PCM でない符号化形式 (時間領域で変換してから符号化するもの) など，符号化にも沢山の形式があるが，とても踏み込む余地がないので本講義ではここまでとする．

付録 J：A-D/D-A コンバータ選択・使用上の注意

現在の物理実験家が自ら A-D/D-A 回路を設計製作することはまず考えられないが，集積回路の形で用いる可能性はある．ディジタルオーディオの発展に伴って驚異的な多ビットの DAC などが二束三文で売られるようになり，これらを上手に使用することで高速/高精度の実験測定系が安価・低労力で得られる可能性がある一方，絶対精度等には注意が必要である．

現在オーディオ用に 24 ビットの DA 変換 IC は極めて安価に手に入る．AD 変換も同様であり，中には 32 ビットのような高いビット数を持つものもある．これらはほとんど Δ-Σ 型の AD 変換器を用いており，相対精度が非常に高くて便利である．が，絶対精度はあまり当てにできないので，計測に用いる場合は精密機器による較正が必要である．



実際に ADC/DAC を選択する場合，データシートをきちんと見る必要がある．まず，どのような回路が使用されているのか把握し，トラブルが生じた際に備える (回路形式が原因の可能性がある)．これには，ブロック図を見ておけば十分で，データシートには大抵簡単なブロック図が掲載してある．左図は AD7949 の場合であり，中に MUX と書かれた 8 チャンネルのマルチプレクサ (入力チャンネル切替器) が入っており，ボード線図で「極」が 1 つだけある低域通過フィルター (LPF) が入れられていることがわかる．その先は「14bit SAR ADC」につながっていて，この IC が 14 ビットの抵抗逐次比較型 (successive approximation resistor) の ADC であることがわかる．

次に見なければならないのが specification table で，面倒でも定格電圧やノイズ，不確定性の最悪値などをチェックし，実験の用途に耐えるものかどうかを調べておく必要がある．

AD7949-EP

SPECIFICATIONS

VDD = 2.3 V to 5.5 V, VIO = 1.8 V to VDD, V_{REF} = VDD, all specifications −55 °C to +125 °C, unless otherwise noted.

Table 2.

Parameter	Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		14			Bits
ANALOG INPUT					
Voltage Range	Unipolar mode	0		$+V_{REF}$	V
	Bipolar mode	$-V_{REF}/2$		$+V_{REF}/2$	
Absolute Input Voltage	Positive input, unipolar and bipolar modes	−0.1		V_{REF} + 0.1	V
	Negative or COM input, unipolar mode	−0.1		+0.1	
	Negative or COM input, bipolar mode	$V_{REF}/2$ − 0.1	$V_{REF}/2$	$V_{REF}/2$ + 0.1	
Analog Input CMRR	f_{IN} = 250 kHz		68		dB
Leakage Current at 25°C	Acquisition phase		1		nA
Input Impedance[1]					
THROUGHPUT					
Conversion Rate					
Full Bandwidth[2]	VDD = 4.5 V to 5.5 V	0		250	kSPS
	VDD = 2.3 V to 4.5 V	0		200	kSPS
¼ Bandwidth[2]	VDD = 4.5 V to 5.5 V	0		62.5	kSPS
	VDD = 2.3 V to 4.5 V	0		50	kSPS
Transient Response	Full-scale step, full bandwidth			1.8	µs
	Full-scale step, ¼ bandwidth			14.5	µs
ACCURACY					
No Missing Codes		14			Bits
Integral Linearity Error		−1	±0.5	+1	LSB[3]
Differential Linearity Error		−1	±0.25	+1	LSB

図 6.18　AD7949 の specification table の一部

最後に，A-D 変換方式と分解能，変換速度の「分布図」をあげておく．

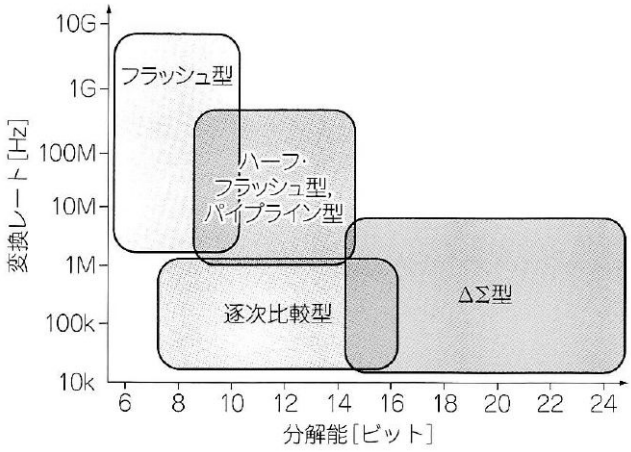


図 6.19　A-D 変換器の回路方式による，分解能，変換速度に対する分布図.