電子回路論 14

2015.1.15 勝本信吾

論理ゲート

ディジタル信号→ 論理値 → 論理演算　をするのが
logic gatesである．

		input					output			
t		t_1	t_2	$\cdots$	t_m		t_1	t_2	$\cdots$	t_m
Ch.	1	0	1	$\cdots$	f_{1m}	1	1	1	$\cdots$	q_{1m}
	2	1	0	$\cdots$	f_{2m}	2	0	1	$\cdots$	q_{2m}
	$\vdots$	$\vdots$	$\vdots$	$\ddots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\ddots$	$\vdots$
	n	0	1	$\cdots$	f_{nm}	l	0	1	$\cdots$	f_{lm}

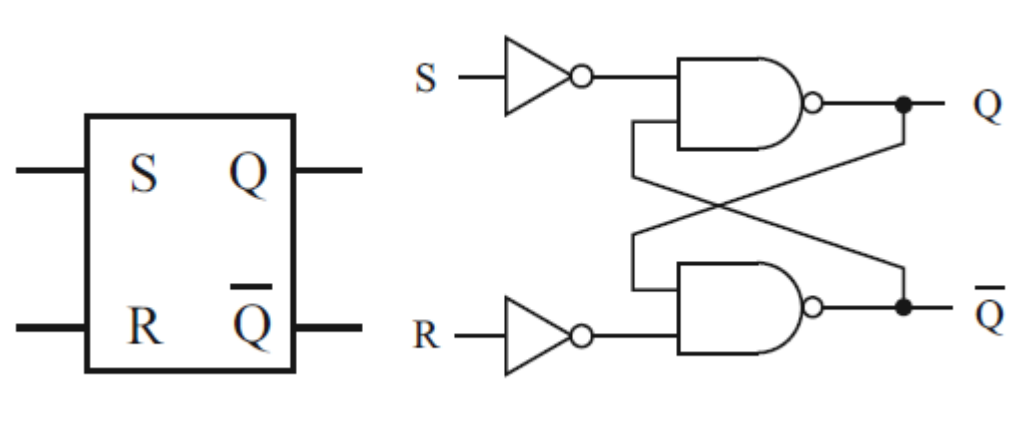
組み合わせ回路(combinational logic)

順序回路 (sequential logic)

順序回路：フリップフロップ

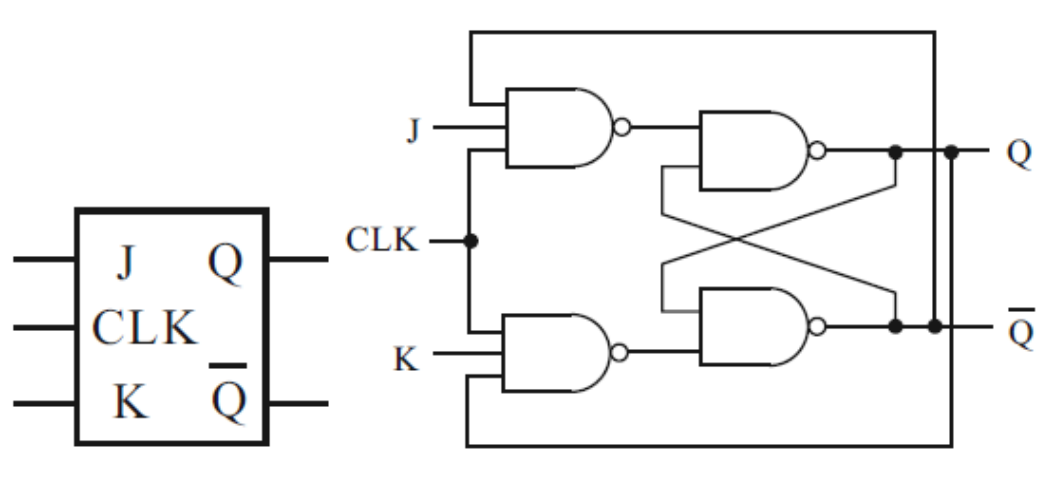
RS (reset-set) フリップフロップ (FF)

S	R	Q	$\bar{Q}$	動作
0	0	Q	$\bar{Q}$	不変
0	1	0	1	reset
1	0	1	0	set
1	1	不定		



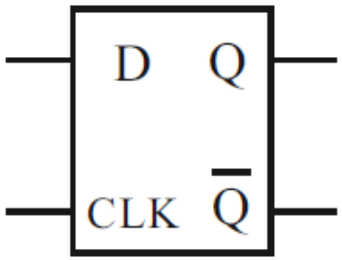
JK フリップフロップ

J	K	Q	次の CLK 入力時の Q
0	0	0	0
0	0	1	1
0	1	–	0
1	0	–	1
1	1	0	1
1	1	1	0



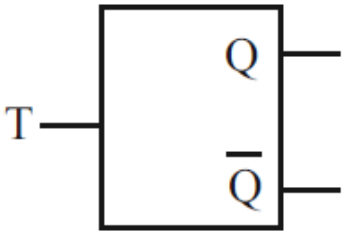
D-FF, T-FF

(a)



D	CLK	Q
0	↑	0
1	↑	1
–	↓	Q (hold)

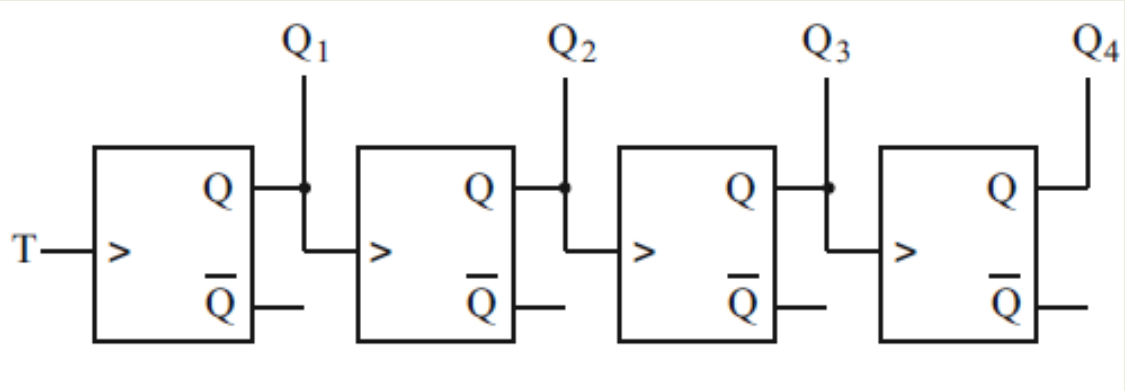
(b)



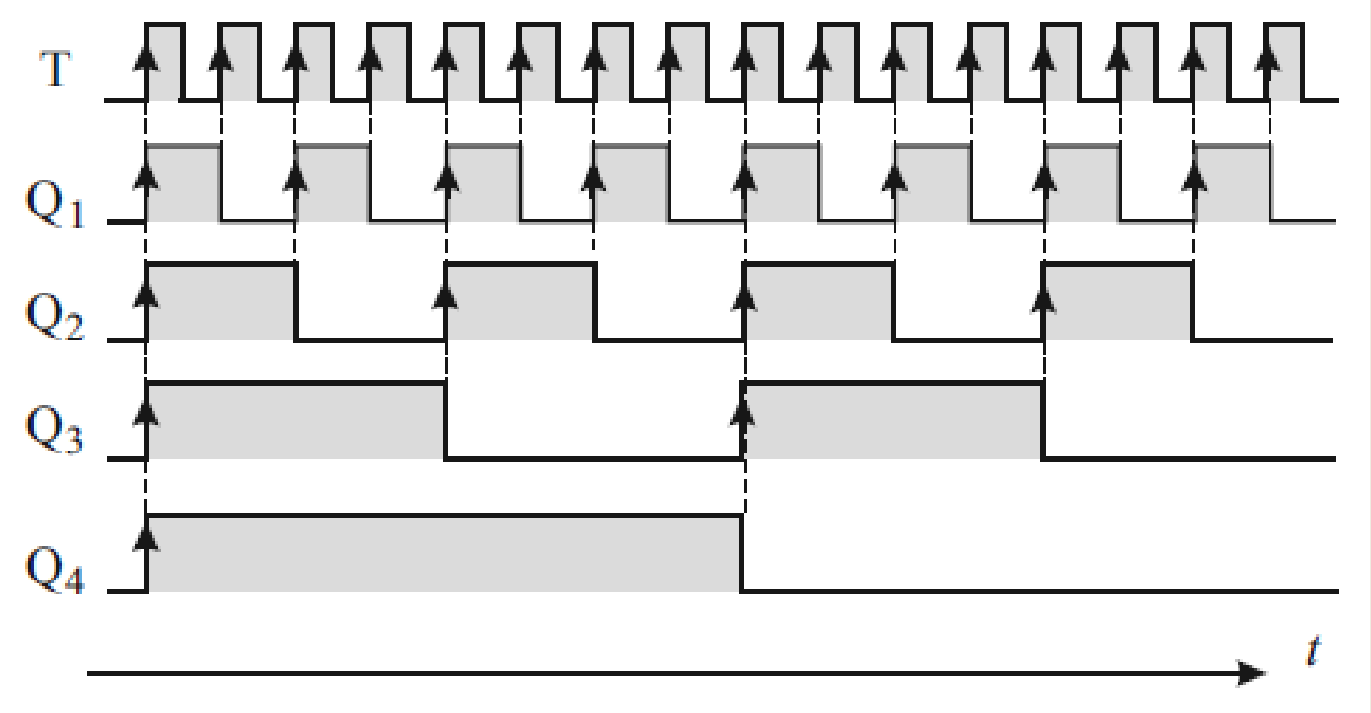
T	Q	Q
↓	0	0
↓	1	1
↑	0	1
↑	1	0

順序回路：カウンタ

非同期カウンタ
(リップルカウンタ)



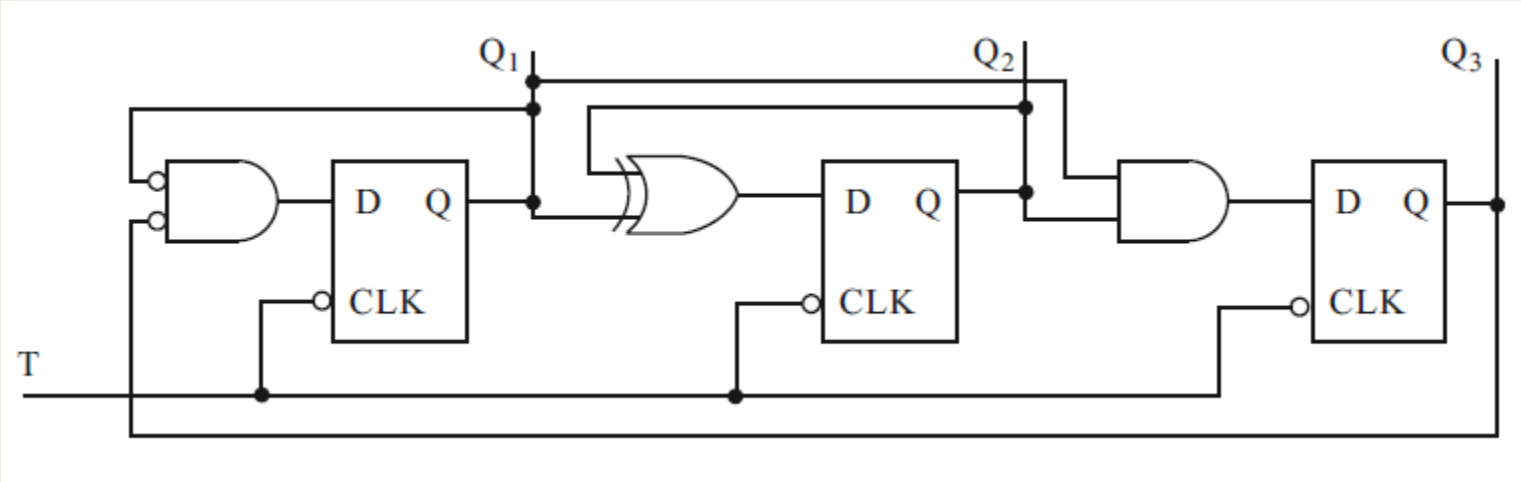
タイミング
チャート



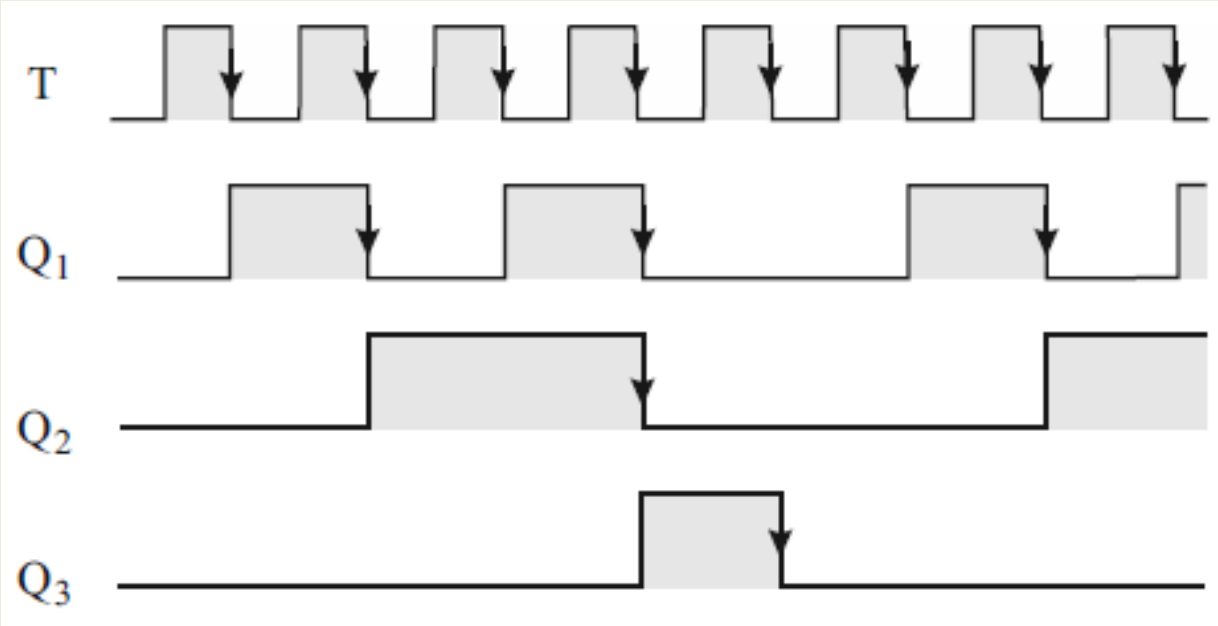
順序回路：カウンタ

同期カウンタ

回路図

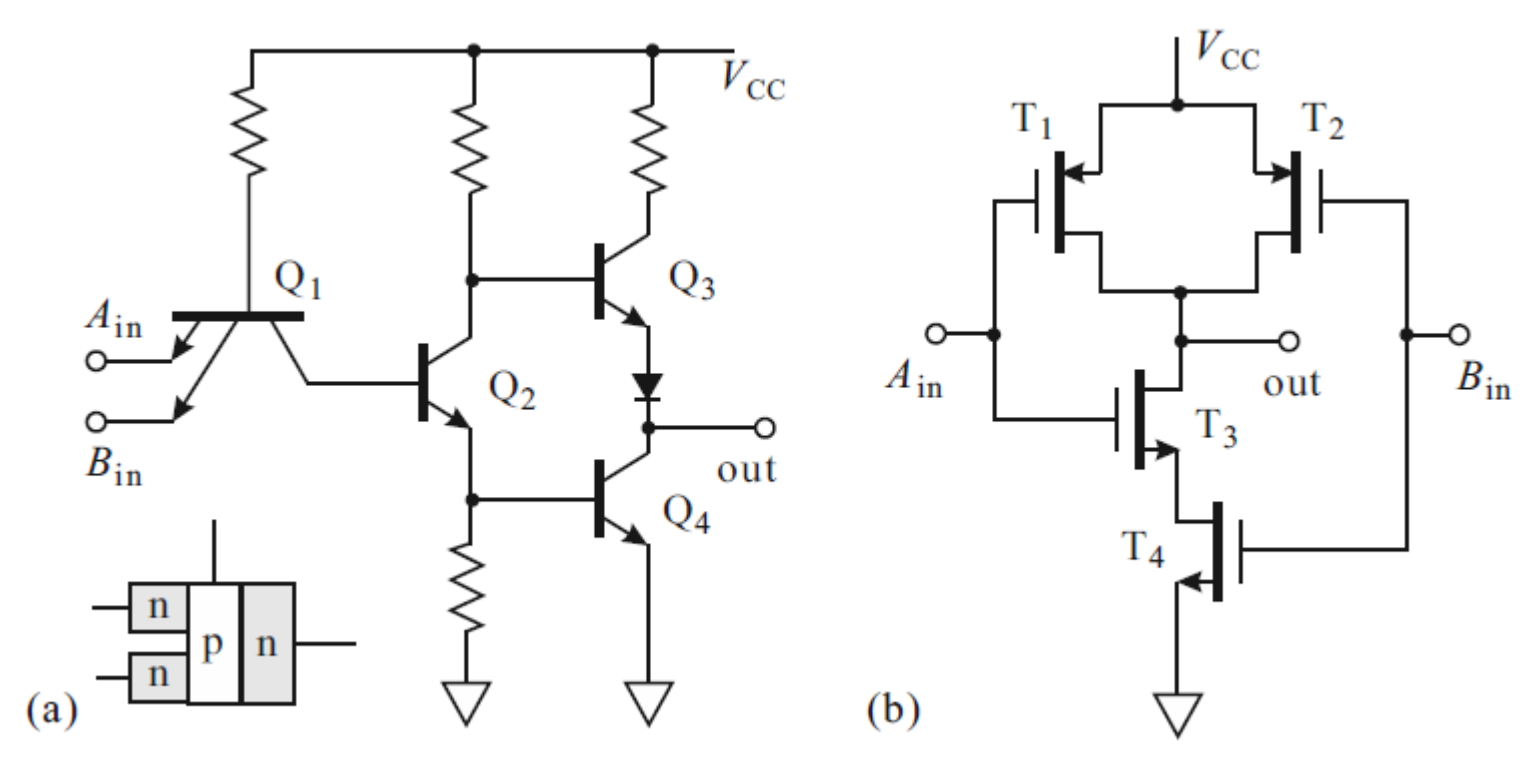


タイミングチャート



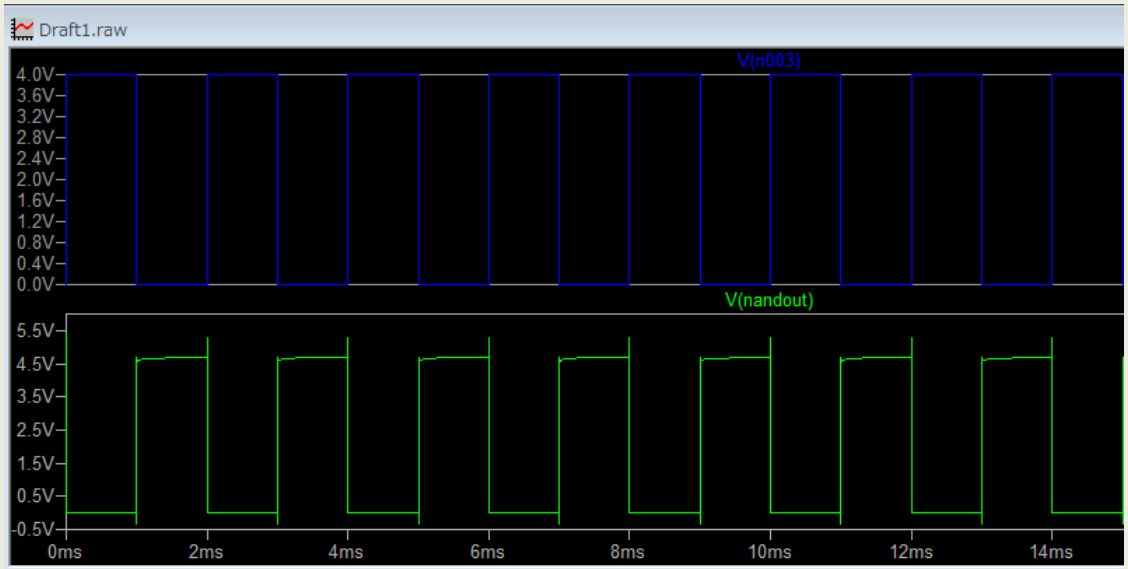
論理ゲートの等価回路

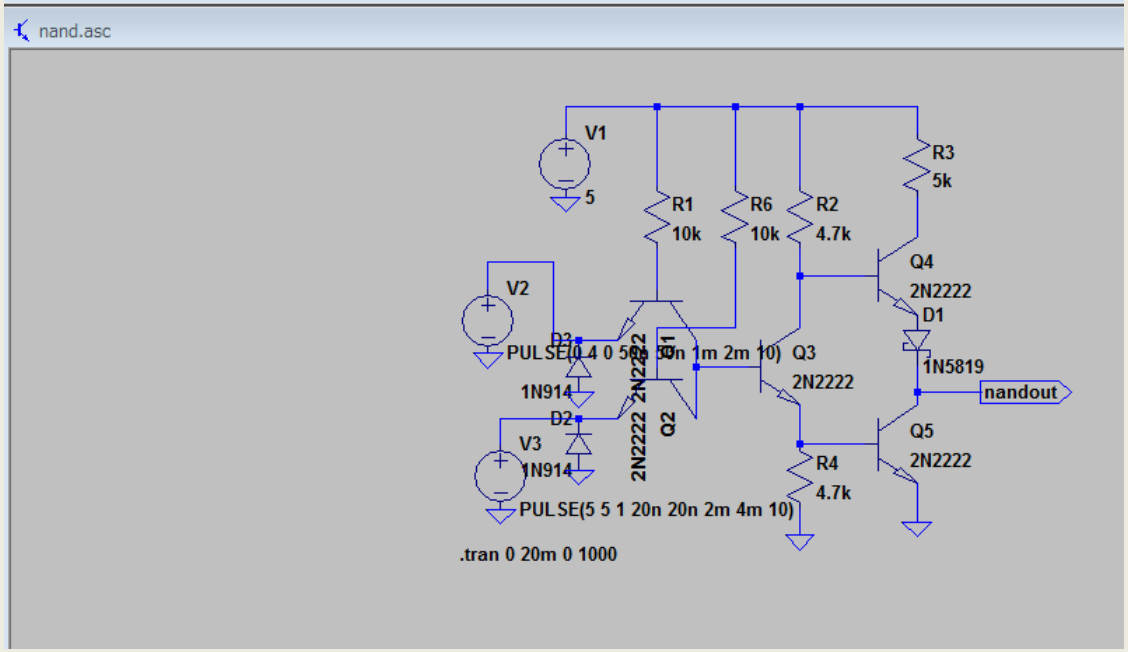
NAND 回路



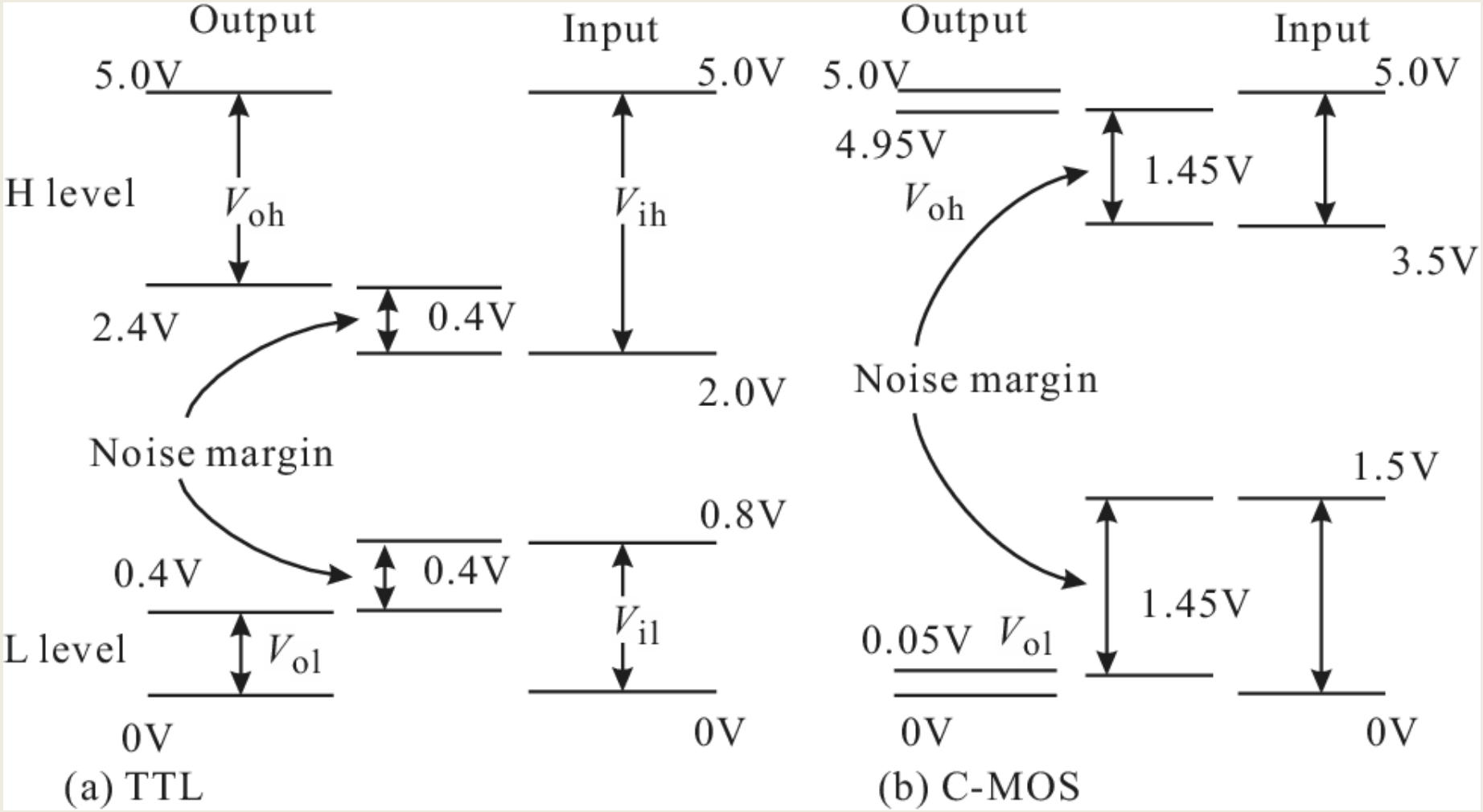
TTL　　C-MOS

LTSpice simulation

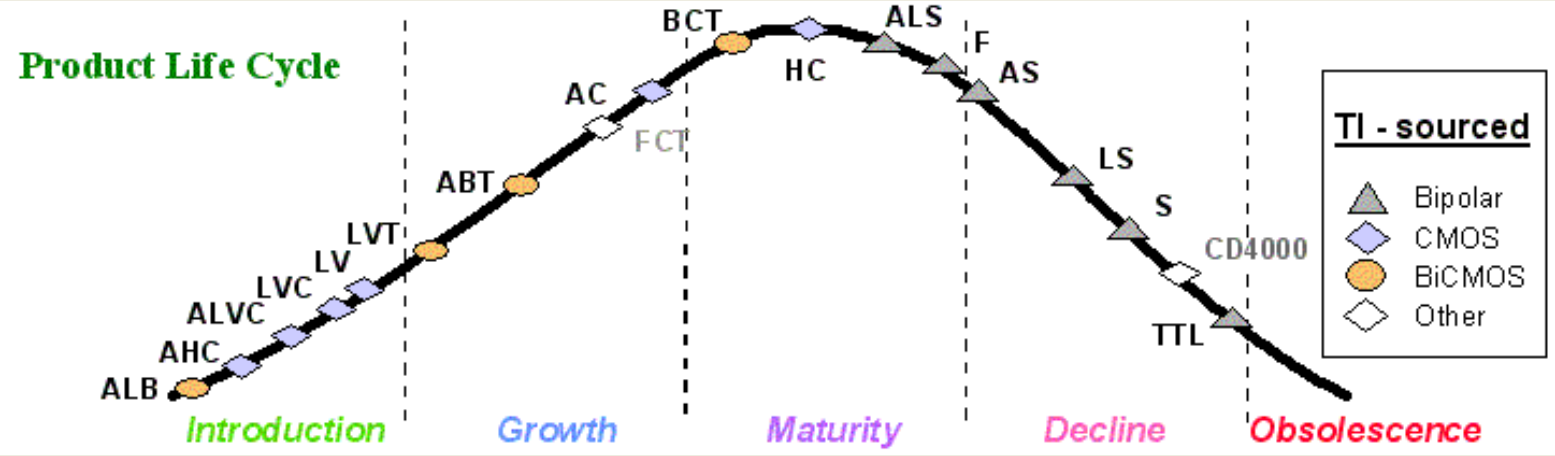




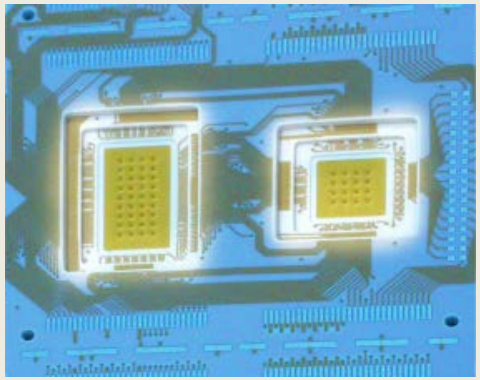
論理ゲートの動作電圧


Output
Input
5.0V
5.0V
H level
V_{oh}
V_{ih}
2.4V
0.4V
2.0V
Noise margin
0.8V
0.4V
0.4V
V_{il}
L level
V_{ol}
0V
0V
(a) TTL
Output
Input
5.0V
5.0V
4.95V
1.45V
V_{oh}
3.5V
Noise margin
1.5V
1.45V
0.05V
V_{ol}
0V
0V
(b) C-MOS

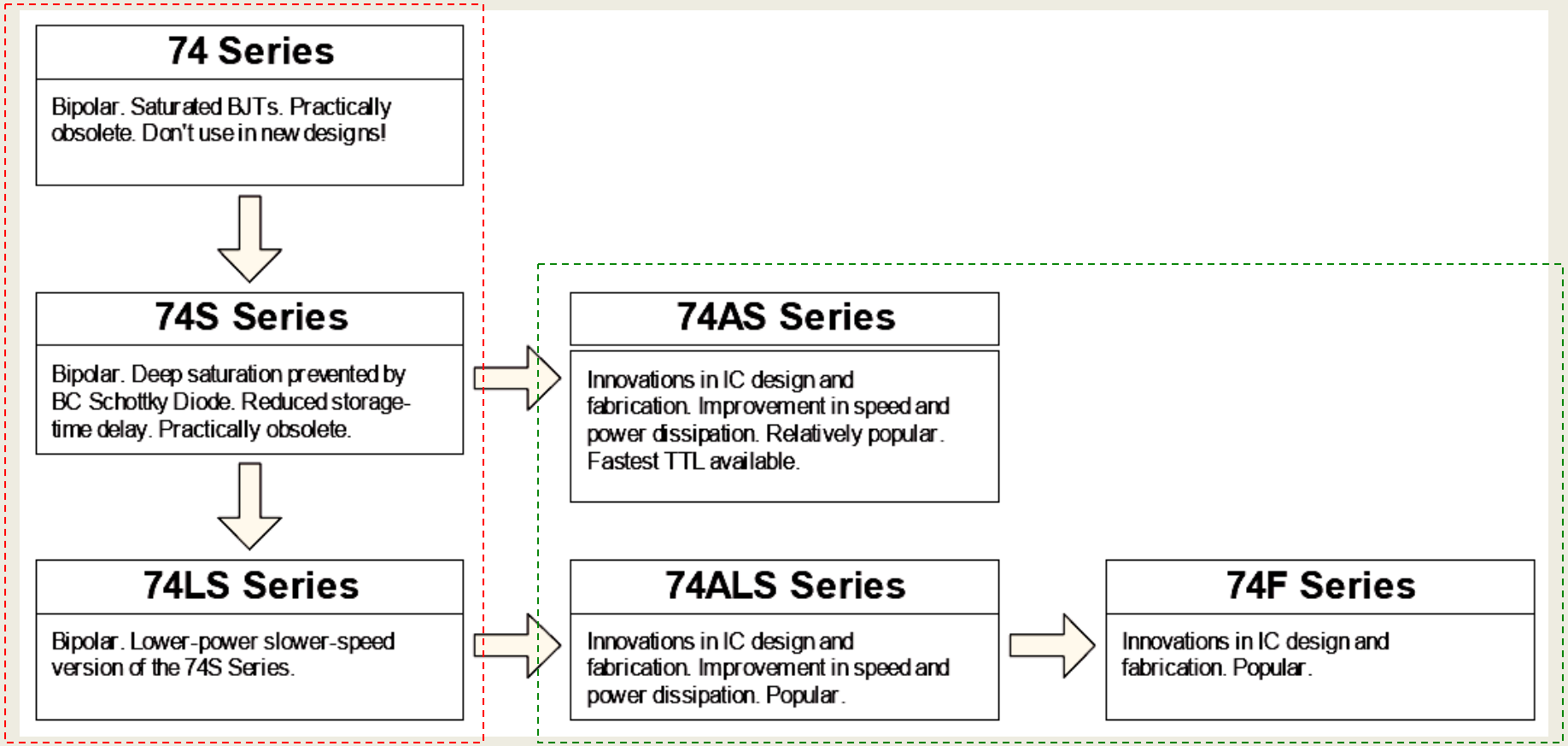
Digital Logic Families



- Gate/transistor ratio is roughly 1/10
  - SSI < 12 gates/chip
  - MSI < 100 gates/chip
  - LSI …1K gates/chip
  - VLSI …10K gates/chip
  - ULSI …100K gates/chip
  - GSI …1Meg gates/chip



TTL logic family evolution



Legacy: don't use in new designs

Widely used today

CMOS logic family evolusion

obsolete

4000 Series

CMOS. Wide supply voltage range. High noise margin. Low speed. Weak output drive. Practically obsolete.

74C Series

CMOS. Pin-compatible with TTL devices. Low speed. Obsolete. Replaced by HC/HCT family.

74HC/HCT Series

CMOS. Drastic increase in speed. Higher output drive capability. HCT input voltage levels compatible with TTL.

74AC/ACT Series

CMOS. Functionally compatible, but not pin-compatible to TTL. Improved noise immunity and speed. ACT inputs are TTL compatible.

74AHC/AHCT Series

CMOS. Improved speed, lower power, lower drive capability.

BiCMOS Logic

CMOS/Bipolar. Combine the best features of CMOS and bipolar. Low power high speed. Bus interfacing applications (74BCT, 74ABT)

74LVC/ALVC/LV/AVC

CMOS. Reduced supply voltage.
LVC: 5V/3.3V translation
ALVC: Fast 3.3V only
AVC: Optimised for 2.5V, down to 1.2V

General trend:

- Reduction of dynamic losses through successively decreasing supply voltages:

12V → 5V → 3.3V → 2.5V → 1.8V

CD4000 LVC/ALVC/AVC

- Power reduction is one of the keys to progressive growth of integration

Summary

TTL

Logic Family	T_{PD}	$T_{rise/fall}$	$V_{IH,min}$	$V_{IL,max}$	$V_{OH,min}$	$V_{OL,max}$	Noise Margin
74	22ns		2.0V	0.8V	2.4V	0.4V	0.4V
74LS	15ns		2.0V	0.8V	2.7V	0.5V	0.3V
74F	5ns	2.3ns	2.0V	0.8V	2.7V	0.5V	0.3V
74AS	4.5ns	1.5ns	2.0V	0.8V	2.7V	0.5V	0.3V
74ALS	11ns	2.3ns	2.0V	0.8V	2.5V	0.5V	0.3V
ECL	1.45ns	0.35ns	-1.165V	-1.475V	-1.025V	-1.610V	0.135V
4000	250ns	90ns	3.5V	1.5V	4.95V	0.05V	1.45V
74C	90ns		3.5V	1.5V	4.5V	0.5V	1V
74HC	18ns	3.6ns	3.5V	1.0V	4.9V	0.1V	0.9V
74HCT	23ns	3.9ns	2.0V	0.8V	4.9V	0.1V	0.7V
74AC	9ns	1.5ns	3.5V	1.5V	4.9V	0.1V	1.4V
74ACT	9ns	1.5ns	2.0V	0.8V	4.9V	0.1V	0.7V
74AHC	3.7ns		3.85V	1.65V	4.4V	0.44V	0.55V

CMOS

Wolfram Alpha

PRO MOBILE APPS PRODUCTS EXAMPLES BLOG ABOUT WOLFRAM SITES

Keyboard

Do you know Pro?

See what you can do with Wolfram|Alpha Pro »

WolframAlpha computational knowledge engine

(A and B) or (A and not B) or (not A and B)

Examples Random

Input:

$(A \wedge B) \vee (A \wedge \neg B) \vee (\neg A \wedge B)$

(A AND B) OR (A AND (NOT B)) OR ((NOT A) AND B)

$e_1 \wedge e_2 \wedge \ldots$ is the logical AND function

$\neg$ expr is the logical NOT function

$e_1 \vee e_2 \vee \ldots$ is the logical OR function

Truth table:

A	B	$(A \wedge B) \vee (A \wedge \neg B) \vee (\neg A \wedge B)$
T	T	T
T	F	T
F	T	T
F	F	F

Minimal forms: More Text notation

DNF	$A \vee B$
CNF	$A \vee B$
ANF	$(A \wedge B) \veebar A \veebar B$
NOR	$\neg (A \barwedge B)$
NAND	$\neg A \barwedge \neg B$
AND	$\neg (\neg A \wedge \neg B)$
OR	$A \vee B$

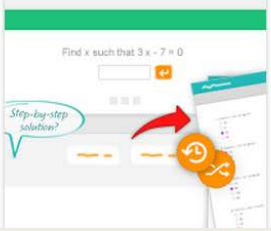
$e_1 \veebar e_2 \veebar \ldots$ is the logical XOR function

$e_1 \barwedge e_2 \barwedge \ldots$ is the logical NOR function

New to Wolfram|Alpha?

Take the Tour »

New! Wolfram Problem Generator



6.4 論理演算の(回路化)簡単化

真理値表 (動作表) → 簡単化 → 回路図

視覚的方法：カルノー図

6.4.2 Quine-McClusky algorithm

Ex) $Y = \bar{A} \cdot \bar{B} \cdot C \cdot D + B \cdot C \cdot D + A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C \cdot D$

主加法標準展開

$$Y = \bar{A} \cdot \bar{B} \cdot C \cdot D + (A + \bar{A}) \cdot B \cdot C \cdot D + A \cdot B \cdot \bar{C} \cdot (D + \bar{D}) + A \cdot \bar{B} \cdot C \cdot D$$
$$= \bar{A} \cdot \bar{B} \cdot C \cdot D + A \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot C \cdot D + A \cdot B \cdot \bar{C} \cdot D$$
$$+ A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D$$

2進数で表す

Y = 0011+1111+0111+1101+1100+1011

Quein-McClusky algorithm

1の数で分類

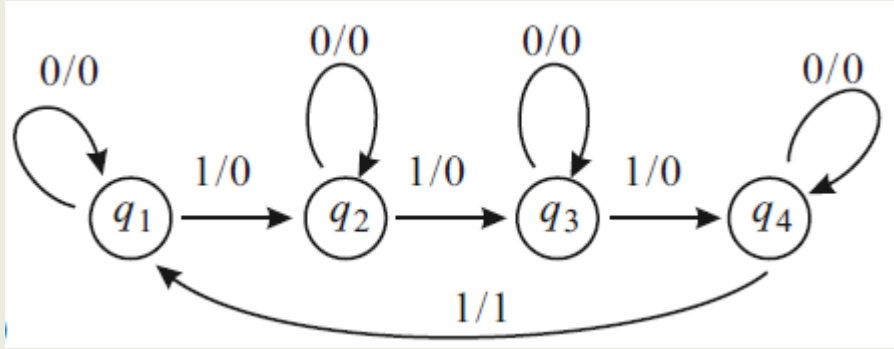
1の数	最小項	圧縮(1)	圧縮(2)
2	0011	0_11	__11
	1100	_011	__11
3	0111	110_	
	1011	_111	
	1101	1_11	
4	1111	11_1	

Y = __11+110_+11_1　　第1次簡単化

	最小項					
	0011	1100	0111	1011	1101	1111
__11	◎		◎	◎		◎
110_		◎			◎	
11_1					○	○

Y = __11+110_　　簡単化終了

順序回路の設計



4進 (2ビット)カウンタ

T-FF × 2

出力 $Q_n^{(1)}, Q_n^{(2)}$

Karnaugh map

$Q_n^{(1)}$	$Q_n^{(2)}$	$Q_{n+1}^{(1)}$ x = 0	x = 1
0	0		
0	1		1
1	1	1	
1	0	1	1

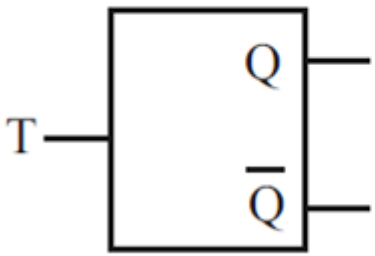
$Q_n^{(1)}$	$Q_n^{(2)}$	$Q_{n+1}^{(2)}$ x = 0	x = 1
0	0		1
0	1	1	
1	1	1	
1	0		1

$$Q_{n+1}^{(1)} = \bar{x} \cdot Q_n^{(1)} + Q_n^{(1)} \cdot \bar{Q}_n^{(2)} + x \cdot \bar{Q}_n^{(1)} Q_n^{(2)},$$

$$Q_{n+1}^{(2)} = \bar{x} \cdot Q_n^{(2)} + x \cdot \bar{Q}_n^{(2)}.$$

順序回路の設計

FF の特性方程式 $$Q_{n+1} = \alpha Q_n + \beta \overline{Q_n}$$



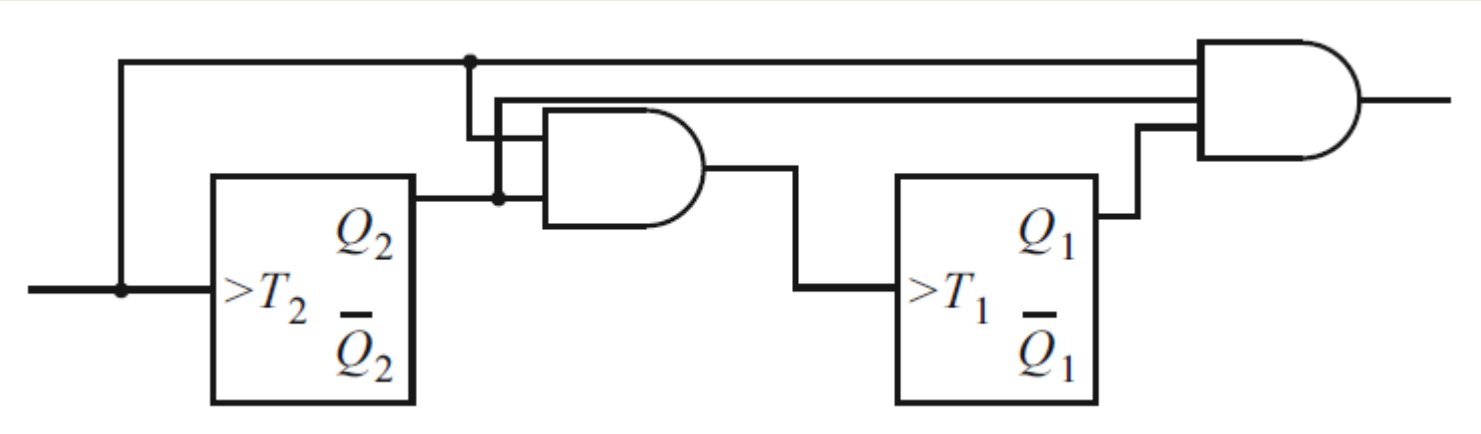
T	Q	Q
↓	0	0
↓	1	1
↑	0	1
↑	1	0

$$Q_{n+1} = \overline{T} Q_n + T \overline{Q_n}$$

$$\alpha = \overline{T}, \quad \beta = T$$

$$\alpha_1 = \overline{x} + \overline{Q}_n^{(2)} = \overline{x \cdot Q_n^{(2)}}, \qquad \beta_1 = x \cdot Q_n^{(2)},$$

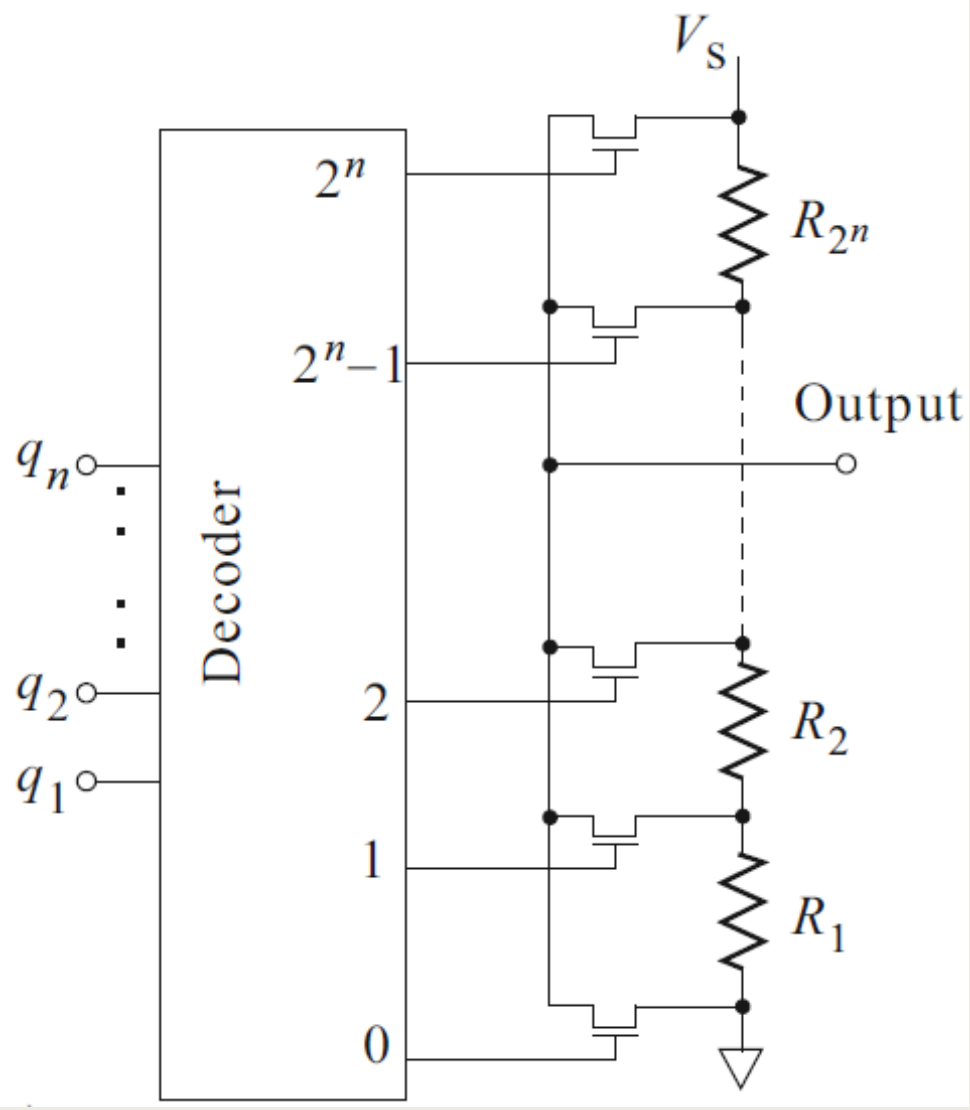
$$\alpha_2 = \overline{x}, \qquad \beta_2 = x$$



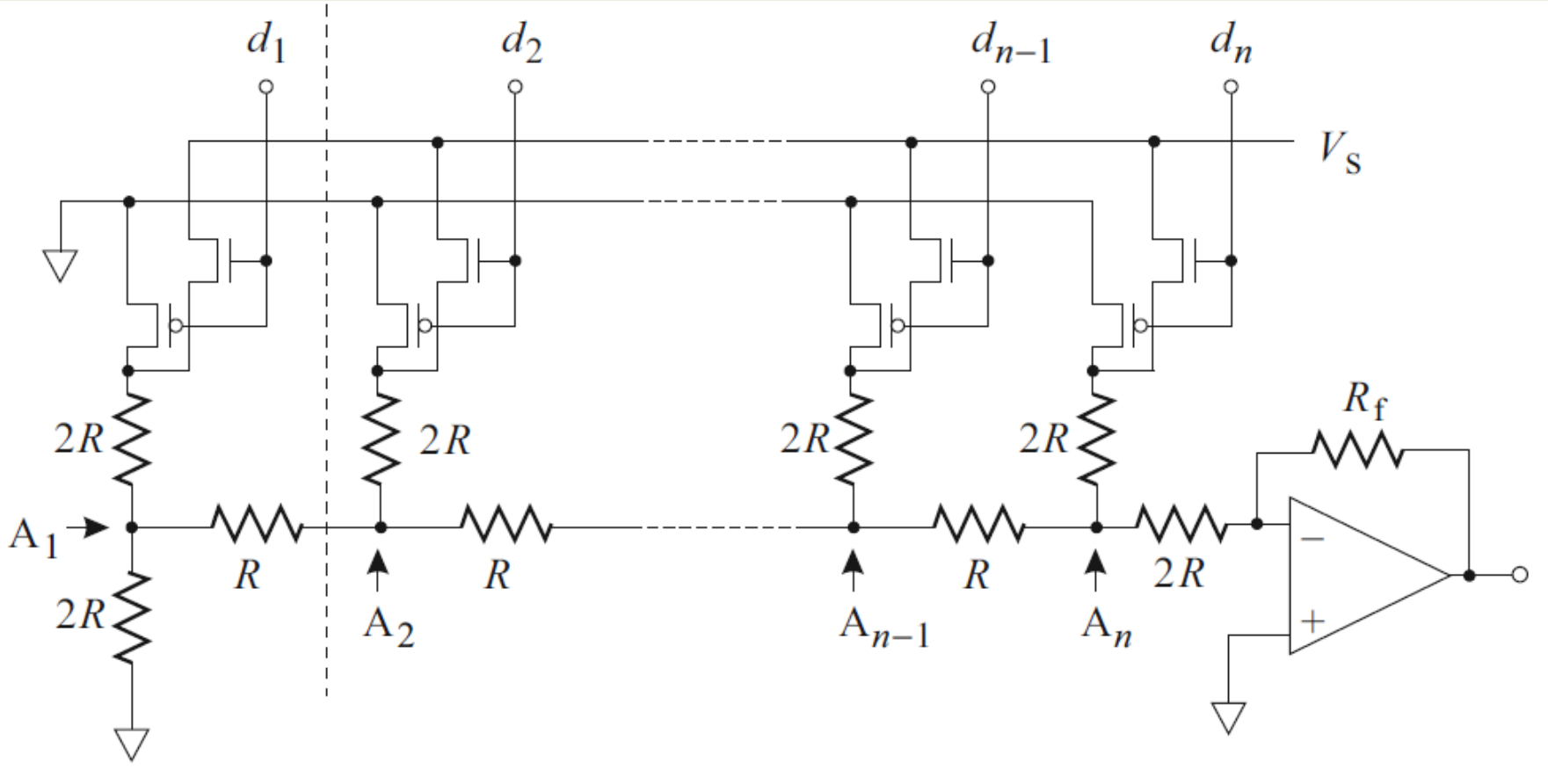
A-D/D-A コンバータ回路

ディジタル-アナログ変換

抵抗ストリング型



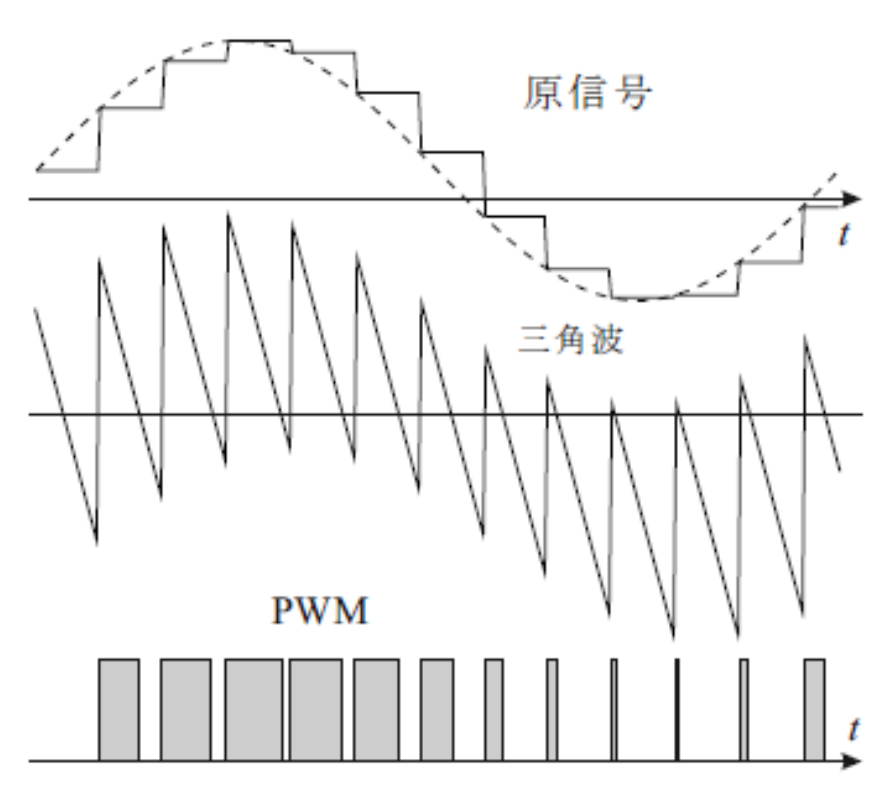
抵抗ラダー型DAC



$$J_{\mathrm{out}}(\underset{n}{0\cdots0}\ \underset{k}{1}\ \underset{1}{0\cdots0}) = \frac{V_S}{3R}\left(\frac{1}{2}\right)^{n-k+1} = \frac{V_S}{6\cdot 2^n R}2^k$$

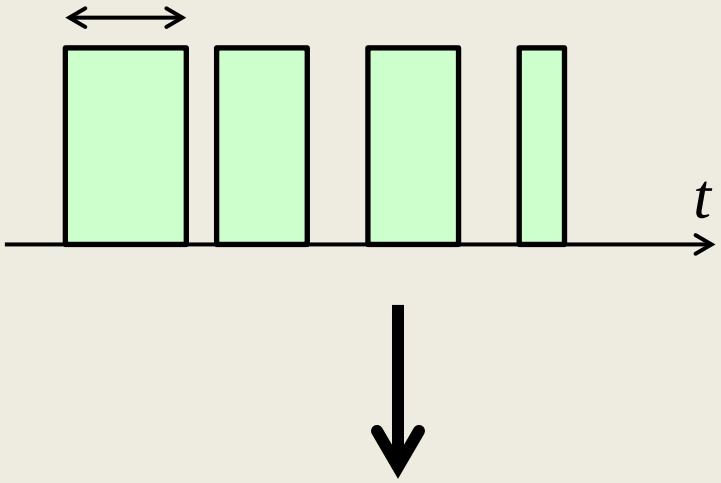
パルス幅変調型

アナログパルス幅変調法



PWM信号

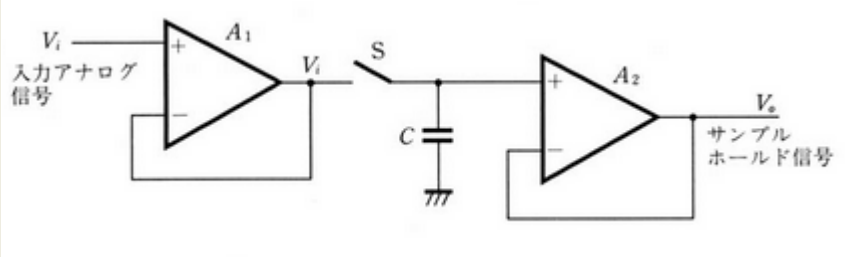
パルス幅をカウンタで作り出す



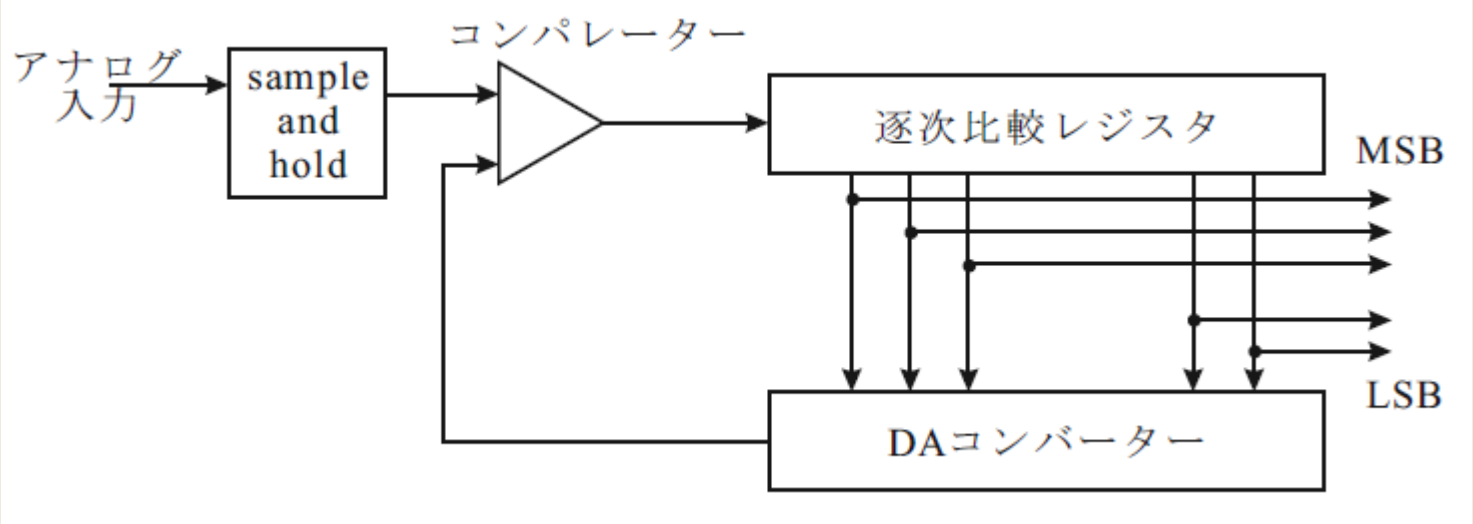
ローパスフィルターによってアナログ信号に戻す.

アナログ-ディジタル変換

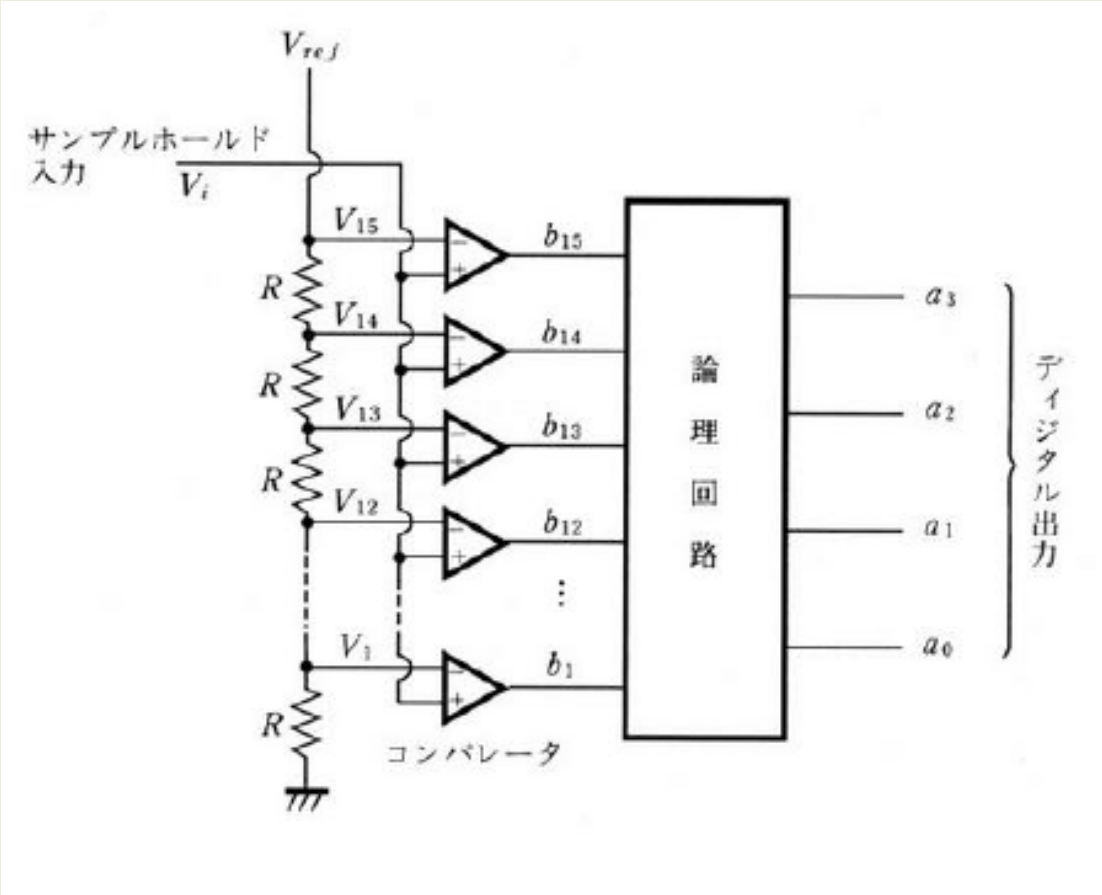
サンプルアンドホールド回路



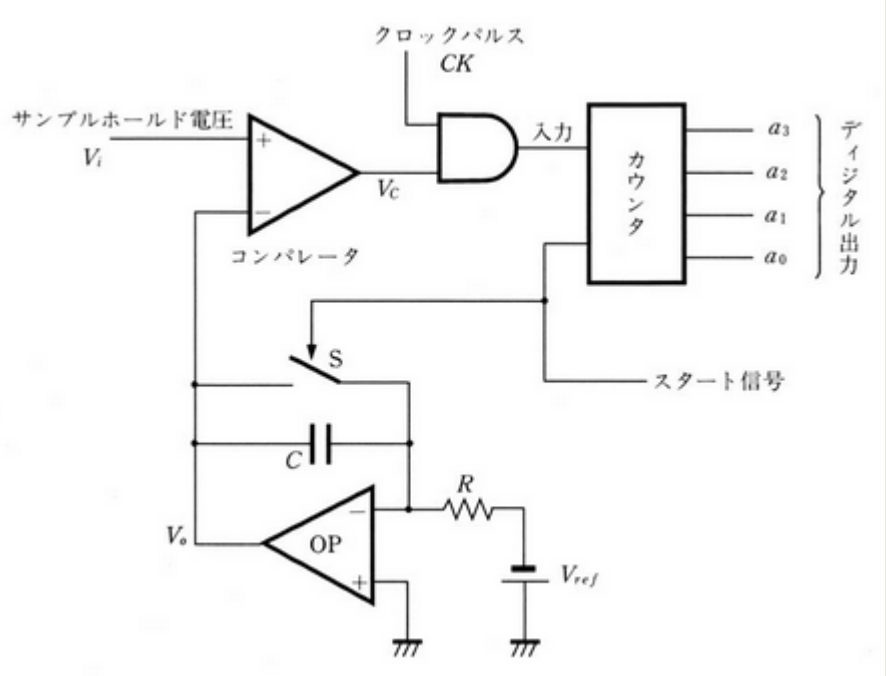
逐次比較型ADC

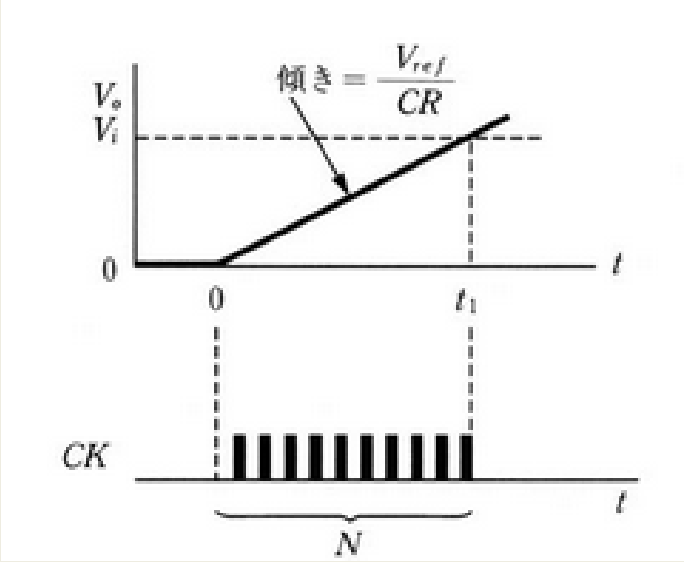


フラッシュ型ADC


V_{ref}
サンプルホールド
入力
V_i
V_{15}
V_{14}
V_{13}
V_{12}
V_1
R
R
R
R
b_{15}
b_{14}
b_{13}
b_{12}
b_1
論理回路
a_3
a_2
a_1
a_0
ディジタル出力
コンパレータ

積分型ADC


クロックパルス
CK
サンプルホールド電圧
V_i
V_C
入力
カウンタ
a_3
a_2
a_1
a_0
ディジタル出力
コンパレータ
S
スタート信号
C
R
V_o
OP
V_{ref}


傾き = $\frac{V_{ref}}{CR}$
V_o
V_i
0
t
0
t_1
CK
t
N

小レポート締切

電子回路論宿題提出

Navigation

- 電子回路論
- 宿題提出ホーム
- 登録
- アップロード
- 提出状況・解答チェック・置換
- 問題へのリンクページ

問題へのリンク

問題へのリンク	提出締切日
第5回 10月30日 の問題	2014/12/31
第8回 11月20日 の問題	2014/12/31
第9回 11月27日 の問題	2014/12/31
第10回 12月4日 の問題	2015/1/17
第11回 12月11日 の問題	2015/1/17
第12回 12月18日 の問題	2015/1/24